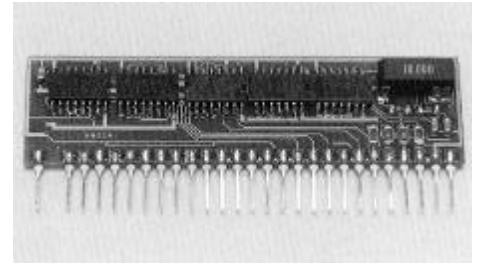


## 特長

- 水晶発振方式のため、高精度、高安定なパルス幅が得られる。
- デジタル・スイッチ等で直接設定できる。
- 内部に分周器を内蔵しているため、広範囲なパルス幅を設定できる。
- 外部クロック入力端子を備えている。
- バイナリタイプも用意されている。(PMM-201AB)



## 概要

一般的なCRタイマーでは長時間にわたり安定したパルス幅を得ることは難しく、設定時間は抵抗、コンデンサの時定数により決定されますから広範囲な時間設定及び設定精度の点で問題があります。

PMM-201Aは、水晶発振器と16BITカウンタ、データコンパレータで構成されています。入力回路にフリップ・フロップがあり、トリガ入力があるとセットされ、内部クロックを計数し、設定値に達するとリセットされます。

## 主な規格

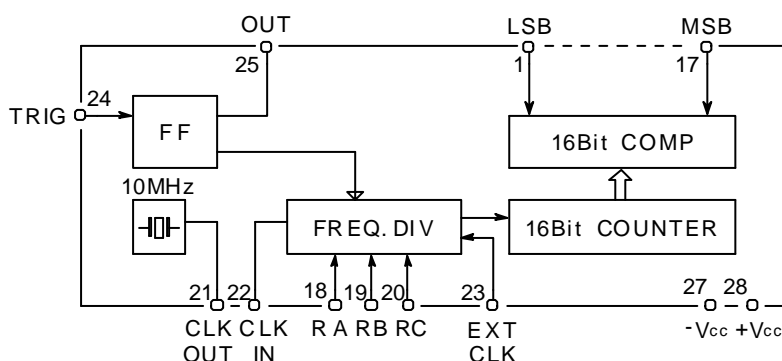
- 最高出力パルス幅  
(Nはレンジ)
 

B - TYPE	D - TYPE	N
6.5535mS	0.9999mS	1
65.535mS	9.999mS	2
655.35mS	99.99mS	3
6.5535 S	0.9999 S	4
65.535 S	9.999 S	5
- 出力パルス幅精度  
上記最高パルス幅の0.01%以内
- パルス幅ジッタ
  - N = 1 にて100 nS 以下
  - N = 2 にて1 μS 以下
  - N = 3 にて10 μS 以下
  - N = 4 にて100 μS 以下
  - N = 5 にて1 mS 以下
- 出力応答時間  
20 nS 以下
- 時間データの設定  
BIN / BCD 正論理 C - MOS レベル
- クロック周波数精度  
10 MHz ± 0.01% 以内
- 電源電圧、電流  
+5 V ± 10% 以内
- 消費電流  
10 mA 以内
- 外形  
SIP - 28 PIN h = 22 mm

## 端子接続表

端子番号	信号名称	備考
1	Bit 1	LSB
3	Bit 2	パルス幅 データ入力
4	Bit 3	
5	Bit 4	
6	Bit 5	
7	Bit 6	
8	Bit 7	
9	Bit 8	
10	Bit 9	
11	Bit 10	
12	Bit 11	
13	Bit 12	
14	Bit 13	
15	Bit 14	
16	Bit 15	
17	Bit 16	MSB
18	RA	レンジ A
19	RB	" B
20	RC	" C
21	CLK-OUT	クロック出力
22	CLK-IN	クロック入力
23	EXT-CLK	外部クロック
24	TRIG	トリガ入力
25	OUT	出力端子
26	NC	あき端子
27	0 V	電源 0V
28	+V <sub>CC</sub>	電源 +5V

## PMM-201A内部構成



## 基本的な使い方

- パルス幅の設定は、Dタイプでは、4桁BCD正論理、Bタイプでは、16ビット・バイナリ正論理にて設定します。入力素子はHC-MOSで、入力端子にはプルアップ、プルダウン抵抗を内蔵しておりませんから、基本接続図のように各入力端子には、数kのプルダウン抵抗を挿入してください。
- バス・バッファやデータ・ラッチICを使用してパルス幅設定を行う場合はHC-MOSを使うことにより直接接続できます。またLS-TTLを使用される場合は、"H"レベル確保のため、必ず数kのプルアップ抵抗を挿入してください。
- レンジ設定はバイナリ3ビット正論理でおこないます。パルス幅のふらつき(ジッタ)を小さくするため、パルス幅データをできるだけ大きな値をセットする必要があります。例えば1.000mSのパルス幅を設定する場合データ0100、レンジ N = 3 といった設定よりデータ1000、レンジ N = 2のほうが小さなジッタでパルス幅を出力できます。(1LSBの時間がジッタとなるため小さなデータを設定しないでください。)
- 出力パルス幅は、 $DATA \times 10 \times 10$  のN乗 (nS) で決定され  
例えば、DAT = "FFFF"、N = 1 では、 $65.535 \times 10 \times 10 = 6.5535\text{mS}$  です。
- クロック入力端子は通常IN-OUTをジャンプして使用します。他の目的に10MHzクロックを使用する場合は、22番ピンから取り出します。
- 外部クロック端子23番ピンを使用しない場合は、開放するか、接地しておきます。(10kの抵抗でプルダウンされています。)
- トリガ入力は、立ち上がりエッジで動作します。入力素子がHC-MOSなのでLS-TTLでトリガする場合は"H"レベル確保のため、数kのプルアップ抵抗を付加してください。
- 出力端子は、負荷の誤接続に対処するため、100の保護抵抗とダイオード・クランプ回路が内蔵されています。

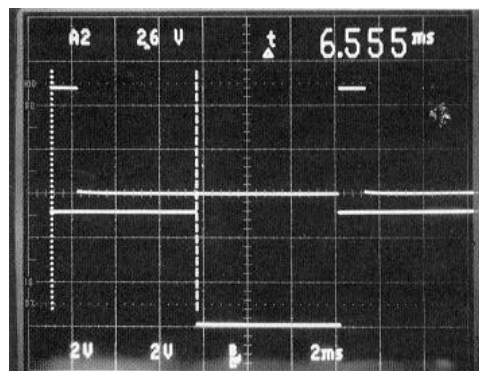


写真1

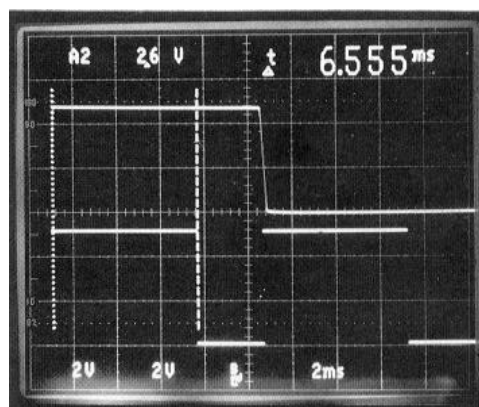


写真2

## 代表的な特性

- 写真1はPMM-201AB(バイナリ・タイプ)にて、パルス幅データ"FFFF"、N=1を設定した時の入出力波形です。トリガは入力信号の立ち上がりエッジで行われます。
- 写真2は出力パルス幅6.5535mSより長い入力パルスを与え、立ち下がり時間を故意に長くした時の波形で、通常は立ち上がりエッジで動作するわけですが、内部ロジックが高速C-MOSのため、スローな入力信号では、誤動作(立ち下がりでもトリガされてしまう。)します。  
従って立ち上がり立ち下がり時間は、1μS以下の波形を入力してください。
- 写真3は、パルス幅データを最小の"0001"をセットした時の出力パルスのジッタで、内部クロックがN=1ではクロック周期が100nSですから、ジッタも100nSとなります。(最上位桁づめでデータをセットすることで、ジッタを少なくできます。)

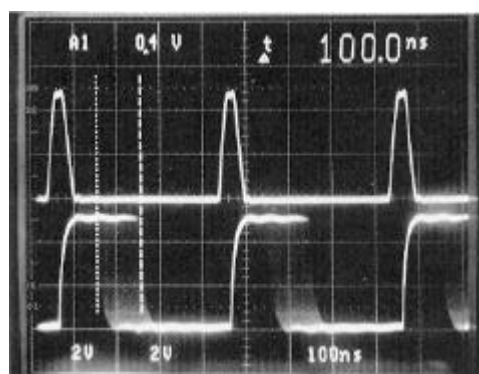
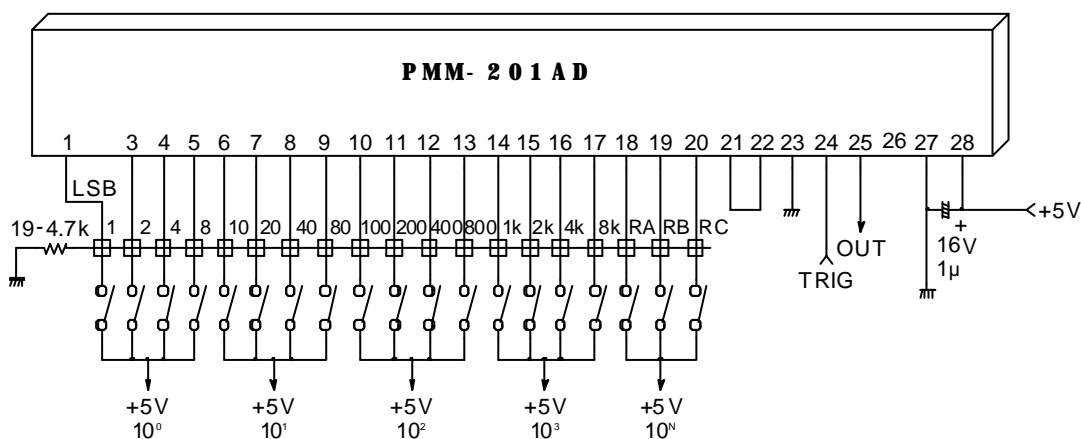


写真3



## 基本的な使い方