

## 特長

- デジタル回路で構成された高安定、高精度な信号発生器です。
- デジタル・シンセサイザ方式のため、セトリング時間が極めて短く高速デジタル・スイープができる。
- 発振周波数範囲は極めて広く(0.5 Hz ~ 8.3886 MHz)、レンジ切り替えせずに発振できる。
- 10ビットDA変換器とLPFの採用で波形ひずみが小さい。

## 概要

DDS-24BはDA変換器を除き、すべてがデジタル回路で構成された高安定、高精度なダイレクト・シンセサイザ方式の発振器です。

内部構成はフェイズ・アキュムレータ、サイン波ルックアップ・テーブル及び10ビットDA変換器で構成されています。DA変換器の出力に含まれるクロックノイズを除去するため、出力段にローパスフィルタが内蔵されています。

## 主な規格

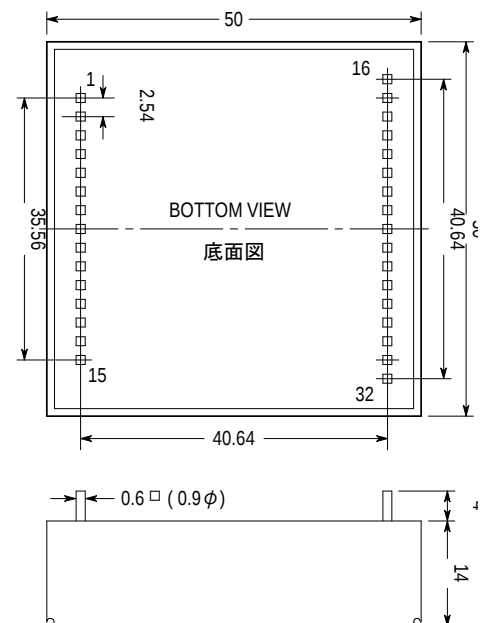
- 発振周波数範囲 0.5 Hz ~ 8.3886 MHz
- 設定データ範囲 000001 ~ FFFFFFFH
- 周波数設定 CMOSレベル、24ビットバイナリ、正論理
- 周波数分解能 0.5 Hz
- 発振周波数精度 設定周波数の±0.01%以内
- 発振出力振幅 1 V<sub>pp</sub> ± 0.1 V以内
- 負荷インピーダンス 50 Ω (外部で50 Ω 終端)
- スプリアス -50 dB以下
- 高調波ひずみ 2次以上の高調波が-60 dBm以下
- 電源電圧 +5 V ± 10%以内
- 電源電流 +120 mA、-30 mA以下
- 外形寸法 50 × 50 × 14 mm  
(注) ± 1 mm以内のズレを考慮して下さい。
- 重量 100 g以下

## 基本的な使い方

- 発振周波数の設定はCMOSレベルの16進正論理で行います。  
TTLロジックレベルで設定する場合は、Hレベル確保のためのプルアップ抵抗(4.7kΩ)を各周波数データ入力端子(24本)と5V電源間に接続します。LSB端子(1番ピン)が0.5 Hz単位の周波数で、ビット2~24(MSB)の順で周波数が高くなります。
- 周波数の設定を、機械的な接点で行う場合は、データ入力端子にプルダウン抵抗を0V電源に接続します。
- 本モジュールの出力端子は、必ず50 Ωの抵抗で終端してください。  
高インピーダンスで受けると発振出力振幅の平坦性が悪化します。
- 出力振幅は、±0.5 V(1 V<sub>pp</sub>)のサイン波で、出力振幅が大きすぎる場合は、出力端子に抵抗減衰器(半固定抵抗器)を挿入します。
- リセットは、RST端子(25番ピン)を“L”レベル(10 kΩでプルアップされている)にすると発振が停止し、出力電圧は-0.5 Vを保持しています。もし直流分が問題になる場合は、出力と直列に直流阻止コンデンサを挿入してください。
- リセット入力端子には4.7 μFのコンデンサが内蔵されているため、機械接点やオープンコレクタ・デバイスを接続する場合は、電流制限抵抗を直列挿入してください。出力振幅は電源電圧に依存するので+5 V電源は、安定化された電源を使用してください。



## 外形寸法図



## 端子接続表

端子番号	信号名称	備考
1~24	B1~B24	16進、正論理
25	RST(RESET)	Lでリセット
26	GND	ロジック・グラウンド
27	GND	アナログ・グラウンド
28	SINE-OUT	正弦波出力
29	COM	出力コモン
30	0V	電源入力 0V
31	-VCC	電源入力 -5V
32	+VCC	電源入力 +5V