

特長

- デジタル・シンセサイザ方式のジッタの小さいクロック信号発生器です。
- 発振周波数は1 Hz～65.535 KHzで、極めて広範囲な設定ができる。
- 高周波クロック（33.554432 MHz）の採用で、低ジッタを実現。
- 出力インピーダンスが50 Ωで、同軸ケーブルを駆動できる。
- 5 V単一電源動作。

概要

CLK-16BSはデジタル・シンセサイザ回路で構成された、高安定度なクロック周波数発生器で、ジッタを低減するためDA変換器でサイン波に変換してから、方形波パルスに変換しています。

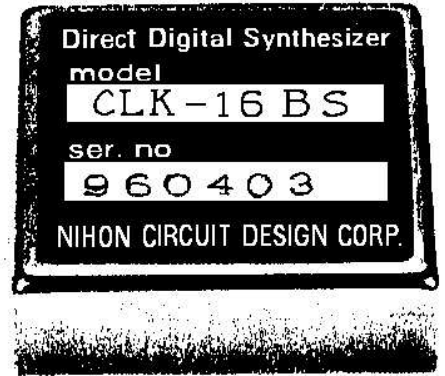
発振周波数は1 Hz～65.535 KHzの範囲で、1 Hz分解能周波数設定できます。出力波形は5 Vピークの方形波で、出力インピーダンスは50 Ωです。

主な規格

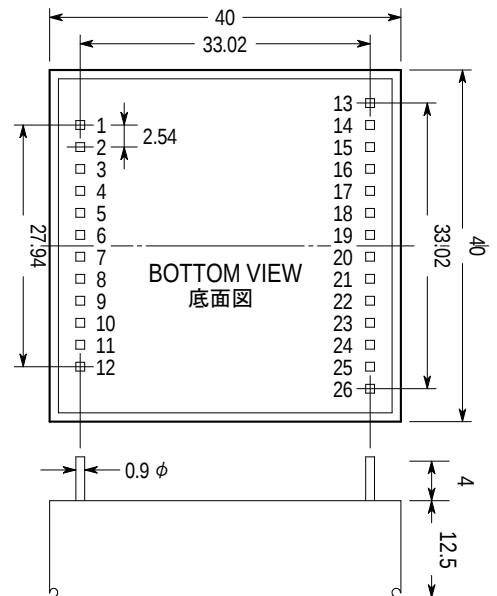
- 発振周波数範囲 1 Hz～65.536 KHz
 - 設定データ範囲 0001～FFFFH（16進正論理）
 - 発振周波数精度 設定値の±0.01%以内
 - 出力波形／電圧 方形波（HS-CMOS）、5 V／負荷開放
 - 出力インピーダンス 50 Ω ±10%以内
 - ジッタ 10 nS以下
 - 電源電圧 +5 V ±5%以内
 - 電源電流 +120 mA以下
 - 外形寸法 40×40×12.5 mm
- (注) ±1 mmのズレを考慮して下さい。
- 重量 60 g以下

基本的な使い方

- 発振周波数の設定はCMOSレベルの16進正論理で行います。
TTLロジックレベルで設定する場合は、Hレベル確保のためのプルアップ抵抗(4.7kΩ)を各周波数データ入力端子(16本)とロジック電源間に接続します。LSB端子(1番ピン)が1 Hz単位の周波数で、ビット2～16(MSB)の順で周波数が高くなります。
- 周波数の設定を、機械的な接点で行う場合は、データ入力端子にプルダウン抵抗を0 V電源に接続します。(コモン端子は5 V電源に接続)
- リセットは、RST端子(21番ピン)を“L”レベル(10 Ωでプルアップされている)にすると発振が停止し、出力は“L”レベルを保持しています。
- リセット入力端子には4.7 μFのコンデンサが内蔵されているため、機械接点やオープンコレクタ・デバイスを接続する場合は、電流制限抵抗を直列挿入してください。
- +5 V電源のノイズが多いとジッタが増加するので、リニア・レギュレータを使用するか、あるいは電源端子にノイズ・フィルタを挿入します。



外形寸法図



端子接続表

| 端子番号 | 信号名称 | 備考 |
|------|-------------|------------|
| 1～16 | B1～B16 | 16進、正論理 |
| 17 | GND | ロジック・グラウンド |
| 18 | GND | ロジック・グラウンド |
| 19 | GND | ロジック・グラウンド |
| 20 | GND | ロジック・グラウンド |
| 21 | RST (RESET) | Lでリセット |
| 22 | CLK-OUT | クロック出力 |
| 23 | COM | 出力コモン |
| 24 | 0V | 電源入力 0V |
| 25 | NC | あき端子 |
| 26 | +VCC | 電源入力 +5V |